

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-501103

(43) 公表日 平成10年(1998) 1月27日

(51) Int.Cl.⁹

H 0 1 L 29/78

識別記号

庁内整理番号

9169-4M

F I

H 0 1 L 29/78

3 0 1 J

審査請求 未請求 予備審査請求 未請求(全 17 頁)

(21) 出願番号 特願平8-528227
(86) (22) 出願日 平成8年(1996) 3月11日
(85) 翻訳文提出日 平成8年(1996) 11月25日
(86) 国際出願番号 P C T / I B 9 6 / 0 0 1 9 2
(87) 国際公開番号 W O 9 6 / 2 9 7 4 1
(87) 国際公開日 平成8年(1996) 9月26日
(31) 優先権主張番号 9 5 2 0 0 7 2 6 . 8
(32) 優先日 1995年3月23日
(33) 優先権主張国 オーストリア (A T)
(81) 指定国 E P (A T, B E, C H, D E, D K, E S, F I, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E), J P, K R

(71) 出願人 フィリップス エレクトロニクス ネムローゼ フェンノートシャップ
オランダ国 5621 ベーアー アイन्दーフエン フルーネヴァウツウェッハ 1
(72) 発明者 リュディクホイゼ アドリアヌス ウィレム
オランダ国 5621 ベーアー アイन्दーフエン フルーネヴァウツウェッハ 1
(74) 代理人 弁理士 杉村 暁秀 (外6名)

(54) 【発明の名称】 L I G B T素子が形成されている半導体装置

(57) 【要約】

本発明は、ドレイン/アノード (9, 13) にドリフト領域 (8) に電荷を注入する p n 接合が形成されている L D M O S T 構造を有する L I G B T に関するものである。ラッチアップを防止するため、L D M O S T のベース領域 (6) に、ドリフト領域 (8) 側に局部的に延在するベース領域と同一導電型の深い領域を形成する。これらの領域は、アノードによりドリフト領域に注入された電荷キャリアを収集すると共にこれらの電荷キャリア用のソースコンタクト (11) への低いオーミック接続部を形成する。これらの領域は局部的にだけ形成されるので、L D M O S T の閾値電圧は深い領域によりほとんど影響されない。変形例において、パラスト直列をソース領域に形成し、高温度においてラッチアップを相殺する。

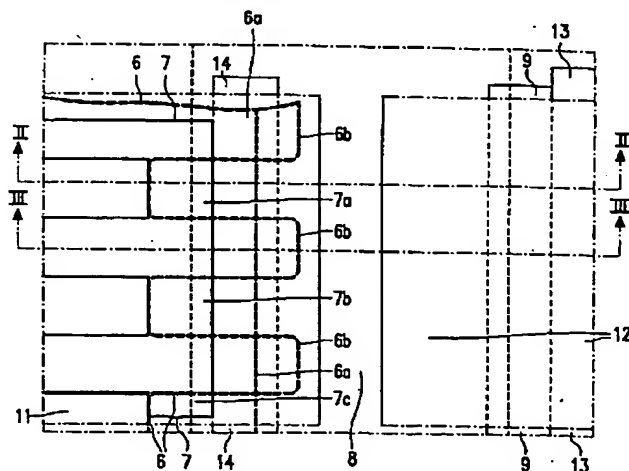


FIG. 1

【特許請求の範囲】

1. 表面にL I G B T型（横型絶縁ゲートバイポーラトランジスタ）の回路素子が設けられ、前記表面と隣接すると共に前記表面と反対側のp n接合を介して基板と称する反対の第2導電型の領域に結合されている第1導電型の表面層を具える半導体本体を有し、前記回路素子が、前記表面層に形成した第2導電型のベース領域と、このベース領域に形成した第1導電型の表面領域の形態のソースと、第1導電型の表面層の前記ベース領域と隣接する部分により形成したドリフト領域と、前記ドリフト領域によりベース領域から分離され第2導電型の表面領域を有するドレインと、前記ベース領域のドリフト領域とソース領域との間に位置する部分により形成されるチャンネル領域上の絶縁ゲート電極とを具える半導体装置において、絶縁ソースが、前記表面から見て互いにある距離を以て隣り合うように位置する複数のサブ区域を有し、前記ベース領域が第1及び第2のサブ区域を有し、ベース領域の第1のサブ区域が前記表面から表面層に相対的に浅い深さで延在すると共に前記ソースのサブ区域を表面層から分離し、ベース領域の第2のサブ区域が前記表面から表面層に相対的に深い深さで延在すると共に、前記表面から見てソースのサブ区域間において第1のサブ区域の隣接する部分よりもドリフト領域により遠くまで横方向に延在することを特徴とする半導体装置。

2. 請求項1に記載の半導体装置において、前記ベース領域の第2のサブ区域が前記第2導電型の基板に導通するように接続されていることを特徴とする半導体装置。

3. 請求項1又は2に記載の半導体装置において、前記第1導電型のソースのサブ区域が、第2導電型のベース領域の挿入部分により相互に分離されていることを特徴とする半導体装置。

4. 請求項1から3までのいずれか1項に記載の半導体装置において、前記表面領域と基板領域との間に第2導電型の埋め込み層を形成し、この埋め込み層が基板よりも高い不純物濃度を有し、部分的に基板から表面層に延在すると共に少なくとも全ベース領域の下側に延在することを特徴とする半導体装置。

5. 請求項1から4までのいずれか1項に記載の半導体装置において、前記ソー

スのサブ区域にそれぞれバラスト抵抗を設けことを特徴とする半導体装置。

6. 請求項1から5までのいずれか1項に記載の半導体装置において、前記回路素子が集積回路の一部を構成し、前記表面層が前記表面から基板までの全表面層の厚さにわたって延在する第2導電型の絶縁区域により多層の島状部分に分割され、これら島状部分に別の回路素子が形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

L I G B T素子が形成されている半導体装置

本発明は、表面にL I G B T型（横型絶縁ゲートバイポーラトランジスタ）の回路素子が設けられ、前記表面と隣接すると共に前記表面と反対側のp n接合を介して基板と称する反対の第2導電型の領域に結合されている第1導電型の表面層を具える半導体本体を有し、前記回路素子が、前記表面層に形成した第2導電型のベース領域と、このベース領域に形成した第1導電型の表面領域の形態のソースと、第1導電型の表面層の前記ベース領域と隣接する部分により形成したドリフト領域と、前記ドリフト領域によりベース領域から分離され第2導電型の表面領域を有するドレインと、前記ベース領域のドリフト領域とソース領域との間に位置する部分により形成されるチャネル領域上の絶縁ゲート電極とを具える半導体装置に関するものである。この装置は、例えば1985年に発行されたI E D M T e c h . D i g . 第744～747頁に記載されている文献「ラテラルインシュレーテッド ゲート トランジスタズ ウィズ インブルーブド ラッチング キャラクタリシテックス」から既知である。

この型式の回路素子は、L I G B T（横型絶縁ゲートバイポーラトランジスタ）、L I G T（横型絶縁ゲートトランジスタ）、及びL I G R（横型絶縁ゲートレクチファイヤ）のような種々の省略名称として上記文献から知られている。これらの回路素子はL D M O S T（横型D M O S T）により通常形成され、このL D M O S TではドレインがD M O S Tのドリフト領域と共に例えばp n接合のような整流接合を形成している。オン状態において、この整流接合は順方向バイアスとなり少数キャリアをドリフト領域に注入し、これによりドリフト領域の導電率が増大する。この効果は、ダイオード動作（電子がMOSチャネルに供給される）、及びドレインがエミッタとして作用しD M O S Tのベース領域が注入された電荷に対するコレクタとして作用するバイポーラトランジスタ動作により増強される。低いオン抵抗及び横型構造により、これらの回路素子は集積回路の大電流をスイッチングするのに特に好適である。これらの回路素子において生ずるお

そのある課題は、ラッチング又はラッチアップと称せられる寄生p n p n効果

(n チャネルトランジスタにおいて)であり、この寄生 $pnpn$ 効果によりトランジスタが損傷を受け又は破壊されるおそれがある。

上述したロビソンの文献はこの $pnpn$ (又は、相補的な場合 $npnp$) 効果を抑制する数個の示唆を含んでいる。この文献の図2bに示される示唆は、 p 形ベース領域を、ドレインから離れる側部に表面から基板に延在する深い p 形表面領域と共に形成することである。この文献に示されるように、この方法はあまり有効ではない。この理由は、寄生 npn トランジスタのベース抵抗 r_{bb} が依然として比較的大きいままであるからである。上記文献の図2cに図示されている別の示唆は、ベース領域全体の下側の p 形基板と n 形表面層との間の界面に p 形埋込層を形成し、この埋込層を基板から p 形ベース領域に延在させることである。この方法は、ラッチアップを抑制するのに極めて有効であるが、多くの欠点も有している。すなわち、埋込層はDMOSTの閾値電圧を増大することができ、これにより所定のゲート電圧に対してチャネル電流が相当小さくなってしまう。さらに、埋込層の存在は、表面層を構成するエピタキシャル層の厚さに対して制約を課すおそれがある。しかしながら、高電圧の用途において、極めて厚いエピタキシャル層を用いることは、例えば望ましく又は必要なことである。

本発明の目的は、冒頭部で述べた型式の半導体装置において、ラッチアップが有効に抑制され構成及び/又は動作について上述した既知の半導体装置の欠点が除去された半導体装置を提供することにある。

この目的を達成するため、本発明による半導体装置は、絶縁ソースが、前記表面から見て互いにある距離を以て隣り合うように位置する複数のサブ区域を有し、前記ベース領域が第1及び第2のサブ区域を有し、ベース領域の第1のサブ区域が前記表面から表面層に相対的に浅い深さで延在すると共に前記ソースのサブ区域を表面層から分離し、ベース領域の第2のサブ区域が前記表面から表面層に相対的に深い深さで延在すると共に、前記表面から見てソースのサブ区域間において第1のサブ区域の隣接する部分よりもドリフト領域により遠くまで横方向に延在することを特徴とする。抵抗値が比較的小さい第2の深いサブ区域がベース領域のチャネルと同一の側に形成されているので、寄生 npn トランジスタのベ

ース抵抗を低く維持することができ、寄生 $pnpn$ 動作が有効に回避される。この抵抗を下げる区域は実際のチャネル領域に隣接して位置するので、トランジスタの閾値電圧は第2のサブ区域により影響を受けず又はほとんど影響を受けない。さらに、第2のサブ区域は適当な深さ及び不純物濃度の表面領域に形成することができるので、表面層の厚さのような他のパラメータの選択に関して比較的大きな自由度がある。

L I G B Tを集積回路に容易に組み込むことができ第2のサブ区域を島状絶縁部分と同時に形成できる実施例は、ベース領域の第2のサブ区域を第2導電型の基板に導通するように接続したことを特徴とする。

本発明による半導体装置の重要な実施例は、第1導電型のソースのサブ区域が、第2導電型のベース領域の間に形成した部分により相互に分離されていることを特徴とする。ソース領域を分離されたサブ区域に副分割することによりベース領域の抵抗が小さくなり、これにより寄生 $pnpn$ 又は $npnp$ 効果がさらに一層抑制される。

ラッチアップは、小さなトランジスタよりも大きなトランジスタ、すなわち W/L 比が大きく電流密度の低いトランジスタで生じ易いことが判明した。本発明の半導体装置の別の実施例は、ソース領域のサブ区域にバラスト抵抗がそれぞれ設けられていることを特徴とする。本発明は、大きなトランジスタと小さなトランジスタとの間のラッチアップ動作の差異は、熱的效果により発生し、大きなトランジスタの中心部の温度は縁部の温度よりも高いので、ベース抵抗が局部的に大きくなり中心部の $pnpn$ 寄生トランジスタ効果が一層早く発生するという認識に基づいている。バラスト抵抗により負のフィードバックが形成され、ソース領域とベース領域との間の pn 接合にかかる電圧が局部的に低下する。

実施例及び添付図面に基づいて本発明を詳細に説明する。

図1は本発明による半導体装置の平面図である。

図2はこの半導体装置のI I - I I 線断面図である。

図3はこの半導体装置のI I I - I I I 線断面図である。

図4はこの半導体装置の寄生 $pnpn$ の等価回路図である。

図5は本発明による半導体装置の第2実施例の平面図である。

図6は本発明による半導体装置の別の実施例の平面図である。

図面は線図的なものであり、スケール通りに表示されていない。縦方向の寸法は特に拡大されている。さらに、半導体装置のL I G B Tを有する部分だけを図示した。L I G B Tは他の回路素子と共に集積回路の一部を構成することは以下の説明から当業者にとって明らかである。バイポーラトランジスタ、ダイオード、抵抗等のような別の素子は全て既知の方法で製造できるので、これらの素子については詳細に説明しないことにする。

図1～3は本発明による半導体装置の第1実施例を示す。この半導体装置は半導体本体1を具え、本例ではこの半導体本体をシリコンで構成するが、既知の種々の適当な半導体材料から構成できること明らかである。半導体本体は第1導電型、本例の場合n形の表面層3を具え、この表面層は表面2は隣接すると共にこの表面とは反対側においてpn接合4を介して第2導電型、本例の場合p形の基板と称する領域5と接する。L I G B Tは、n形表面層3に形成したp形のベース領域6を具える横型のDMOST (LDMOST) 形態によりほぼ形成される。n形表面領域7をベース領域に形成し、このn形表面領域7はp形の領域6によりn形の表面層3から絶縁され、トランジスタのソース領域を構成する。このLDMOST形態は表面層3の部分8により形成されるドリフト領域をさらに具え、このドリフト領域はベース領域6と隣接する。他方の側において、ドリフト領域は、L I G B Tの場合アノードと称せられるトランジスタのドレインにより境界されると共にp形の表面領域9を具え、この表面領域はドリフト領域8と共にpn接合10を形成する。

ソース領域7及びベース領域6は、領域6と7との間のpn接合を短絡するソースコンタクト11に接続する。ドリフト領域8は高濃度の不純物が添加されたn形コンタクト領域13と共にドレインコンタクト12に接続され、このドレインコンタクトは同時にpn接合10を短絡する領域9用の接続部を形成する。このトランジスタはゲート電極14を具え、このゲート電極は、ソース領域7とドリフト領域8との間に位置するベース領域6の一部分により形成されるチャネル領域15上に形成する。ゲート電極14はチャネル領域15から通常シリコン酸化物により構成されるゲート誘電体16により分離する。

ソース領域は、図1において参照符号7a、7b、7c等で示される多数のサブ領域を具え、これらサブ領域は表面から見て互いに距離を以て位置する。ベース領域6は、図面を明瞭にするため破線で図示した第1のサブ区域6a及び第2のサブ区域6bを有する。トランジスタのチャネル領域15を構成する第1のサブ区域6aは半導体本体の表面2から表面層3に比較的浅い深さで延在する。第2のサブ区域6bは表面2から表面層3により深く延在する。図1から明らかなように、サブ区域6bは横方向においてサブ領域7a、7b等の間に延在し、ベース領域6の浅い第1のサブ区域6aの隣接部分よりもより遠くまでドリフト領域8に入り込む。

ここで説明するLIGBTの効果を明瞭にするため、図4は寄生pnpnの等価回路を示す。pnptランジスタ T_1 は、このトランジスタのエミッタ、ベース及びコレクタをそれぞれ構成するp形領域9、n形のドリフト領域8、及びp形ベース領域で構成される。npnトランジスタ T_2 はエミッタ、ベース及びコレクタをそれぞれ構成するn形領域7、p形領域6、及びn形ドリフト領域で構成される。アノード領域9によりドリフト領域8に注入されp形ベース領域により収集されたホールはソース領域7の下側を接続部11に向けて流れる。対応する抵抗は図4においてRで示す。この抵抗が増大するにつれてpnpnトランジスタはより小さい電流で導通する。低オーミック性のサブ区域6bの存在によりベース領域において抵抗Rが強く減少する。LIGBT閾値電圧はサブ区域6aの濃度により同時に決定され、従って所望の小さい値に維持することができる。

基板5と表面層3との間にp形の埋め込み領域18を形成することにより、この抵抗をさらに低減することができ、この埋め込み領域は、図2に示すように、ベース領域6全体の下側に延在することができる。

このLIGBTの実施例は高電圧で動作するのに好適である。このため、製造に際し、例えば約90オームcmの抵抗値の比較的高いオーミック性のp形基板5を用いる。埋め込み領域18のようなp形の埋め込み領域を既知方法で形成し、半導体本体のバイポーラトランジスタのような他の回路素子を形成される位置にn形埋め込み領域を形成する。例えば23 μ mの厚さのn形表面を約6オームcmの抵抗値で基板5上にエピタキシャル成長する。この厚さ及び不純物濃度

は、高電圧素子が文献から既知のリサーフ (resurf) 原理を利用でき、エピタキシャル層が少なくとも局部的に降伏が生ずる前にその全厚さにわたって空乏化されるようにする。次の工程において、深いp形サブ区域6bを例えばボロン原子の拡散により形成する。

島状絶縁領域は、この拡散により同時に形成され、エピタキシャル層を相互に電氣的に絶縁された島状部分に副分割する。突出する指状部分6bの幅及びこれら指状部分間の間隔は例えば約 $30\mu\text{m}$ とする。熱酸化によりゲート酸化膜16を $0.1\mu\text{m}$ の厚さに成長形成し、その後ポリシリコン (以後、ポリと称する) 層を体積し、LIGBTゲート電極14及び必要な場合別の回路素子が得られるようにパターンニングする。次に、p形領域6a及び9に形成し、続いてn形領域7及び13を形成する。次に、この表面に酸化物及び/又は窒化物の誘電体層を形成し、この誘電体層にコンタクト窓を通常の方法で形成する。例えばSiが添加されたA1の金属層を体積し、パターンニングしてコンタクトを形成する。LIGBTのソース及びドレインコンタクトはドリフト領域上に延在して電界プレート形成し、この電界プレートにより一層良好な電界分布、従って一層高い降伏電圧が得られ

この実施例において、ソース領域7は連続する領域を形成し、このトランジスタの閾値電圧は指状部分6b間の区域に比べて指状部分の区域において増大する。図4の抵抗値Rをさらに減少させ、LIGBTを流れる電流がさらに増大しラッチアップが回避される構成を図5に示す。図面上ソース領域7及びベース領域6だけを示す。残りの構成要素は図1の対応する構成要素と同一であり、図面を明瞭にするため図5においては図示しないことにする。ベース領域6は、同様にLDMOSTの閾値電圧を規定する浅いp形区域6aと、ドリフト領域8中に突出する指状部分が形成され図示されていないアノードによりドリフト領域に注入されたホールに対するコレクタを構成する深い区域6bとを有する。ソース領域は、前述した実施例のような連続する領域を形成せず、p形ベース領域6により相互に分離されている多数の個別の区域7a, 7b, 7cを有する。この構成においてLDMOSTのチャネル長は前の実施例よりも短い、区域6bの閾値電圧が高いのでトランジスタを流れる電流に対してほとんど影響を及ぼすことはな

い。これに対して、p形の指状部分6bの区域にn形領域がない場合、ベース抵抗Rは大幅に減少する。

ラッチアップが生ずるLIGBTを流れる電流レベルは、大きなトランジスタの方が小さいトランジスタよりも低いことが実際に判明している。これについての取り得る説明は、中心部の温度が周辺部の温度よりも高く、LIGBTの中心部の熱の除去が良好に行われないことにより図4に示す局部的抵抗Rが周辺部に比べて大きくなることにある。この効果は、エミッタがそれぞれサブ区域7a, 7b等により構成されるnpnサブトランジスタのエミッタ経路の抵抗より緩和することができる。この抵抗は、サブ区域7a, 7b, 7cの内部抵抗により得ることができる。これが達成される実施例の平行図を図6に示す。図6において、ベース領域の深いサブ区域の指状部分6b並びにサブ区域7a及び7bを図示する。これらのサブ区域には細い部分19を設け、これにより適当な地の抵抗が生ずる。図面はさらにベース領域6及びソース領域7を図示しないソースコンタクト11に接続するコンタクト窓20を示す。このコンタクト窓20には細い部分19の領域にくびれ部を設け、ソースコンタクト11を交差印21の区域においてだけサブ区域7a, 7b等と接触する。約10オームの層抵抗が与えられるので、多くの場合において十分な30 μ mのセクション当り数10オームのエミッタ抵抗を形成することができる。

本発明は実施例だけに限定されず、本発明の範囲内において種々の変形が可能である。上述した実施例の導電型は反転させることができる。さらに、上述した実施例のp形アノード領域9は順次位置しn形表面層3の挿入された部分により相互に分離された多数のサブ区域の形態として形成することができる。公開された欧州特許出願EP-A1-0361589号に記載されているように、このようなアノードの副分割により、LIGBTの速度を相当改良することができ、特にこのトランジスタのスイッチングオフの速度を改良することができる。

【図1】

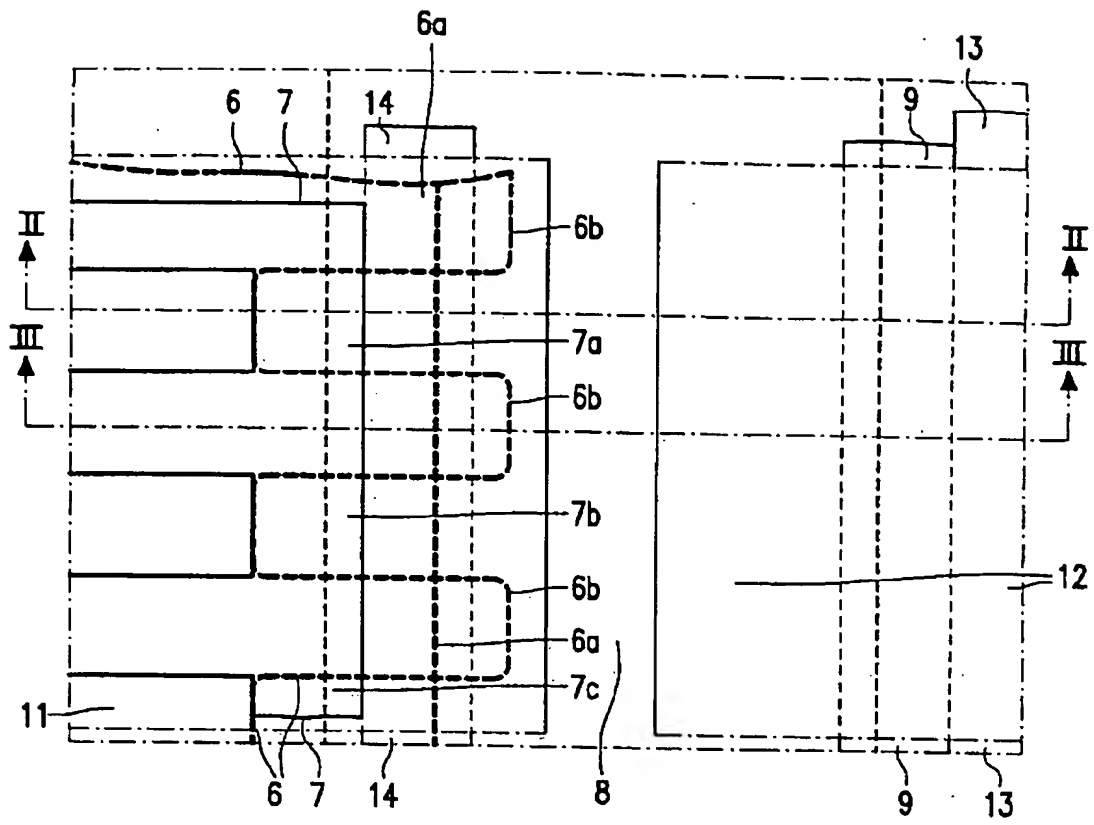


FIG.1

【図2】

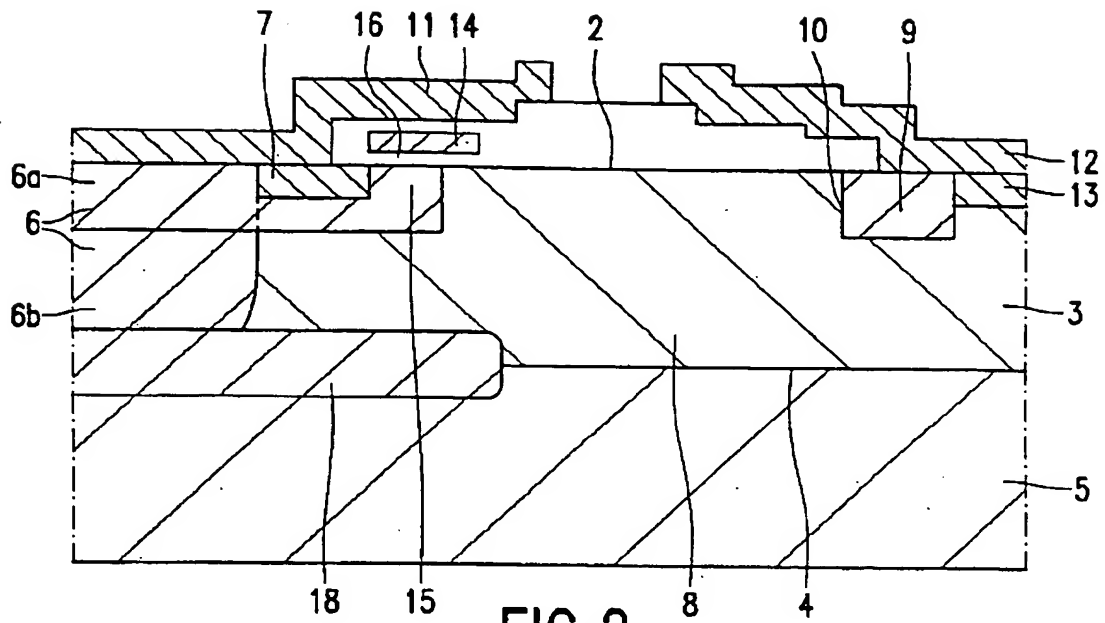


FIG.2

【図3】

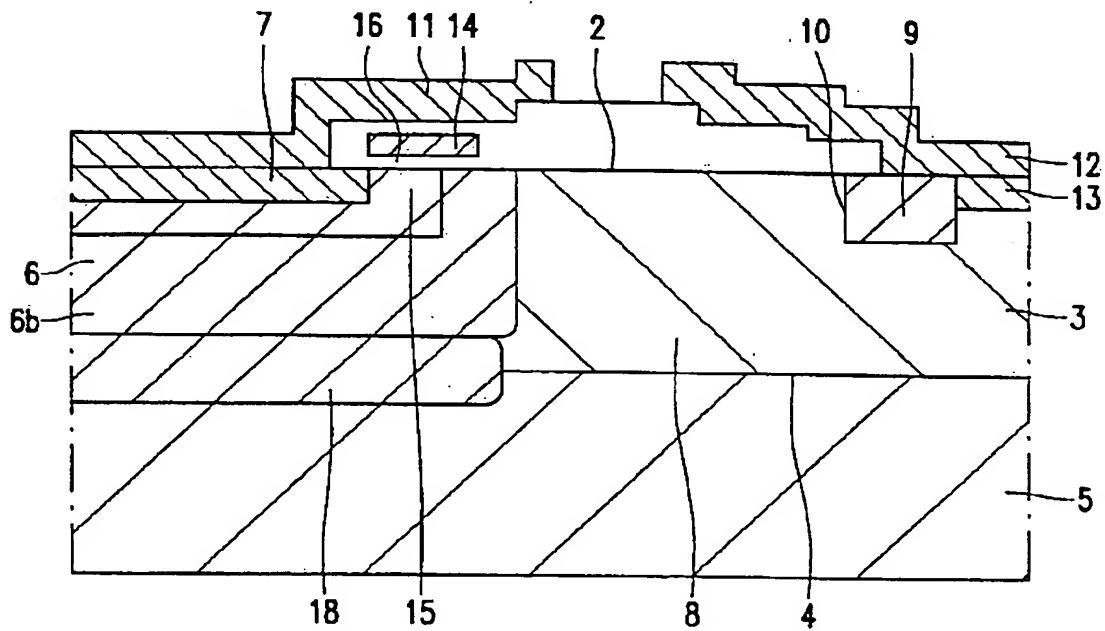


FIG.3

【図4】

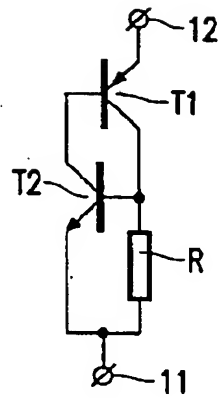


FIG.4

【図5】

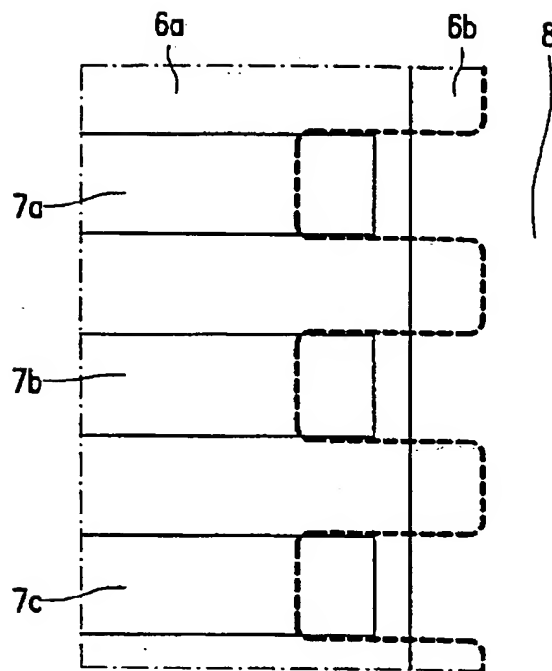


FIG.5

【図6】

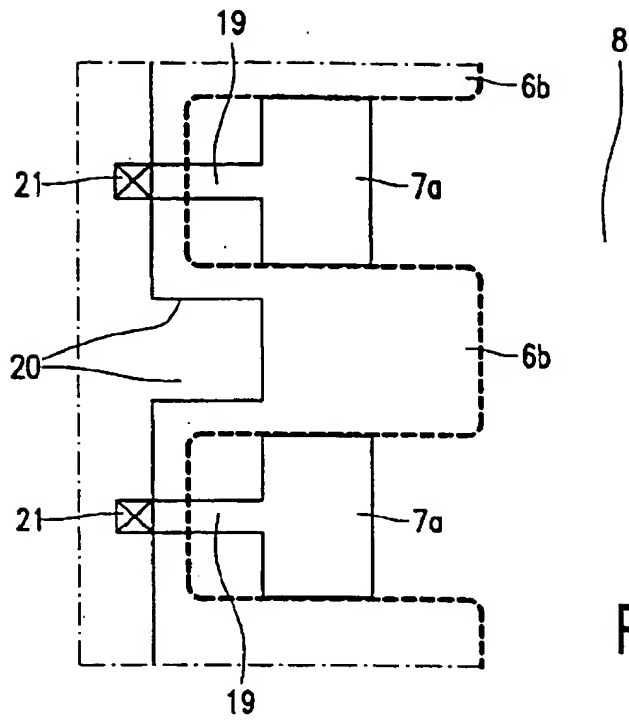


FIG.6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00192

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: H01L 29/735, H01L 29/739

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DIALOG: 350,351

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0526939 B1 (PHILIPS ELECTRONICS N.V.), 10 February 1993 (10.02.93) --	1-6
A	EP 0526037 A1 (HITACHI, LTD), 3 February 1993 (03.02.93) --	1-6
A	EP 0361589 A1 (N.V. PHILIPS' GLOEILAMPENFABRIEKEN), 4 April 1990 (04.04.90) --	1-6
A	US 4963951 A (MICHAEL S. ADLER ET AL), 16 October 1990 (16.10.90) --	1-6

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"P" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 October 1996

Date of mailing of the international search report

30 -10- 1996

Name and mailing address of the ISA/

Swedish Patent Office

Box 5055, S-102 42 STOCKHOLM

Facsimile No. +46 8 666 02 86

Authorized officer

Pär Moritz

Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB 96/00192

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4682195 A (HAMZA YILMAZ), 21 July 1987 (21.07.87) -----	1-6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00192

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-B1- 0526939	10/02/93	DE-D- 69210328 JP-A- 5206159 US-A- 5227653	00/00/00 13/08/93 13/07/93
EP-A1- 0526037	03/02/93	JP-A- 5029614 US-A- 5343052	05/02/93 30/08/94
EP-A1- 0361589	04/04/90	JP-A- 2139971 JP-B- 7009990	29/05/90 01/02/95
US-A- 4963951	16/10/90	DE-A- 3686971 EP-A,B- 0224269 JP-B- 7058784 JP-A- 62189758	19/11/92 03/06/87 21/06/95 19/08/87
US-A- 4682195	21/07/87	NONE	